

10/588959

IAP11 Rec'd PCT/PTO 10 AUG 2006

Amendment

(Amendment under Article 11)

To Examiner of Japanese Patent Office: IMAI Takuya

1. Indication of International Application:

PCT/JP2005/000473

2. Applicant:

Name: RENESAS TECHNOLOGY CORP.

Destination: 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo  
100-6334 Japan

Nationality: Japan

Address: Japan

3. Agent

Name: (8000) TSUTSUI Yamato

Destination: Tsutsui & Associates, 3F, Azeria Bldg., 1-1,  
Nishi-shinjuku 8-chome, Shinjuku-ku, Tokyo  
160-0023 Japan

4. Object to be amended

Claims

5. Content of Amendment

(1) As described in an attached document, amend "supplying at least a first portion of the first diluted raw material gas into the inside of a reaction chamber in which a wafer to be processed is accommodated" in a sub paragraph (c) of claim 1 of Claims to "supplying, after the step (b), a first portion of the first diluted raw material gas into the inside of a reaction chamber in which a wafer to be processed is accommodated". Further, add a content of claim 2 to claim 1.

(2) Delete claim 2 of Claims as described in the attached document.

6. List of attached documents

Claims, page 33

Claims

[1] (Amended) A manufacturing method of a semiconductor device comprising the steps of:

(a) preparing a first raw material gas which contains a silane-based compound gas containing carbon atoms with the first concentration of 0.3% or more in a first hydrogen gas;

(b) producing a first diluted raw material gas containing the silane-based compound gas with the second concentration lower than the first concentration by diluting the first raw material gas with a second hydrogen gas;

(c) supplying, after the step (b), a first portion of the first diluted raw material gas into the inside of a reaction chamber in which a wafer to be processed is accommodated; and

(d) forming a SiGe:C epitaxial layer or a SiGe:C-based epitaxial layer on a first main surface of the wafer to be processed using the first portion of the supplied fist diluted raw material gas, wherein

a remaining second portion of the first diluted raw material gas is not supplied to the inside of the reaction chamber.

[2] (Deleted)

[3] A manufacturing method of a semiconductor device according to claim 1, wherein the first hydrogen gas and the second hydrogen gas have the substantially same concentration

composition.

[4] A manufacturing method of a semiconductor device according to claim 3, wherein the purity of the second hydrogen gas is 99.99% or more.

[5] A manufacturing method of a semiconductor device according to claim 1, wherein the reaction chamber is an epitaxial layer forming reaction chamber of a single wafer epitaxial device.

[6] A manufacturing method of a semiconductor device according to claim 1, wherein the reaction chamber is an epitaxial layer forming reaction chamber of a batch-type epitaxial device.

[7] A manufacturing method of a semiconductor device according to claim 1, wherein the epitaxial layer constitutes a portion of a base region of a HBT.

[8] A manufacturing method of a semiconductor device according to claim 1, wherein the epitaxial layer is a channel region of a strain SiGe-based MISFET.

[9] A manufacturing method of a semiconductor device according to claim 1, wherein the degree of dilution of the first diluted raw material gas is set to a value which falls within a range from 2 to 100.

# 手 続 補 正 書

(法第11条の規定による補正)

特許庁審査官 今井 拓也 殿

1. 國際出願の表示 PCT/JP2005/000473

2. 出願人

名 称 株式会社ルネサステクノロジ  
RENESAS TECHNOLOGY CORP.

あて名 〒100-6334  
日本国東京都千代田区丸の内二丁目4番1号  
4-1, Marunouchi 2-chome, Chiyoda-ku,  
Tokyo 100-6334 Japan

国 稷 日本国 Japan  
住 所 日本国 Japan

3. 代理人

氏 名 (8000) 弁理士 筒井 大和  
TSUTSUI Yamato

あて名 〒160-0023  
日本国東京都新宿区西新宿8丁目1番1号  
アゼリアビル3階 筒井國際特許事務所  
Tsutsui & Associates, 3F, Azeria Bldg.,  
1-1, Nishi-shinjuku 8-chome, Shinjuku-ku,  
Tokyo 160-0023 Japan



4. 補正の対象 請求の範囲

## 5. 補正の内容

- (1) 別紙の通り、請求の範囲第1項のサブパラグラフ(c)の「前記第1の希釀原料ガスの内、」を「前記工程(b)の後、前記第1の希釀原料ガスの内、」に補正する。また、請求の範囲第1項のサブパラグラフ(c)の「少なくとも」を削除する。また、請求の範囲第1項に請求の範囲第2項の内容を追加する。
- (2) 別紙の通り、請求の範囲第2項を削除する。

## 6. 添付書類の目録

請求の範囲 第33頁

## 請求の範囲

- [1] (補正後) 以下の工程を含む半導体装置の製造方法 :
- (a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを0.3%以上の第1の濃度で含有する第1の原料ガスを準備する工程 ;
  - (b) 前記第1の原料ガスを第2の水素ガスで希釈することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程 ;
  - (c) 前記工程 (b) の後、前記第1の希釈原料ガスの内、第1の部分を被処理ウエハが収容された反応室内に供給する工程 ;
  - (d) 供給された前記第1の希釈原料ガスの前記第1の部分を用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程。
- ここで、前記第1の希釈原料ガスの内、残余の第2の部分は、前記反応室内には供給されない。
- [2] (削除)
- [3] 前記請求項第1項において、前記第1の水素ガスおよび前記第2の水素ガスは実質的に同一の濃度組成を有する半導体装置の製造方法。
- [4] 前記請求項第3項において、前記第2の水素ガスの純度は99.99%以上である半導体装置の製造方法。
- [5] 前記請求項第1項において、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。
- [6] 前記請求項第1項において、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。
- [7] 前記請求項第1項において、前記エピタキシャル層はHBTのベース領域の一部である半導体装置の製造方法。
- [8] 前記請求項第1項において、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である半導体装置の製造方法。
- [9] 前記請求項第1項において、前記第1の希釈原料ガスの希釈度は2から100である半導体装置の製造方法。